

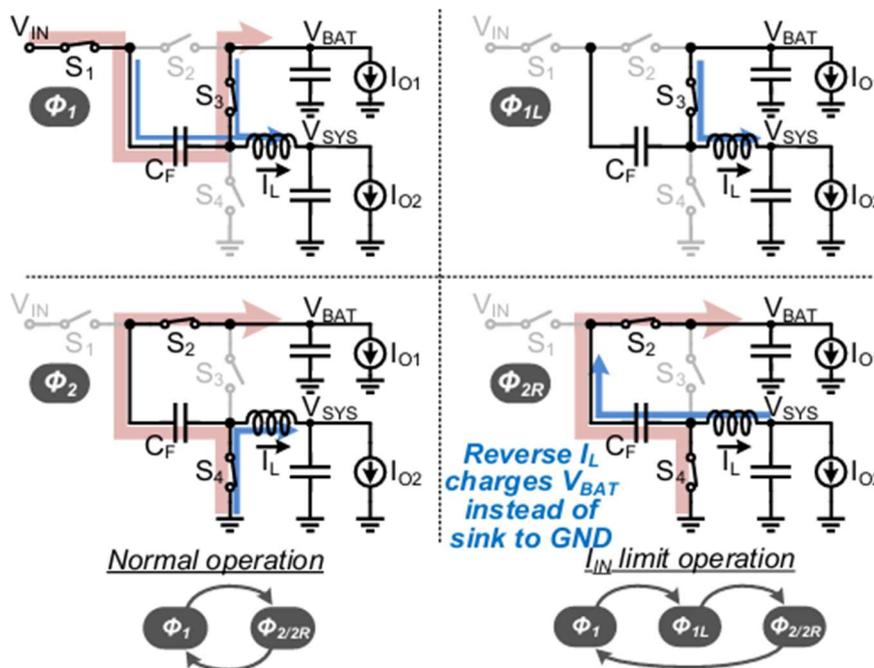
A-SSCC 2024 Review

KAIST 전기및전자공학부 박사과정 박수연

Session 2 Hybrid Converters

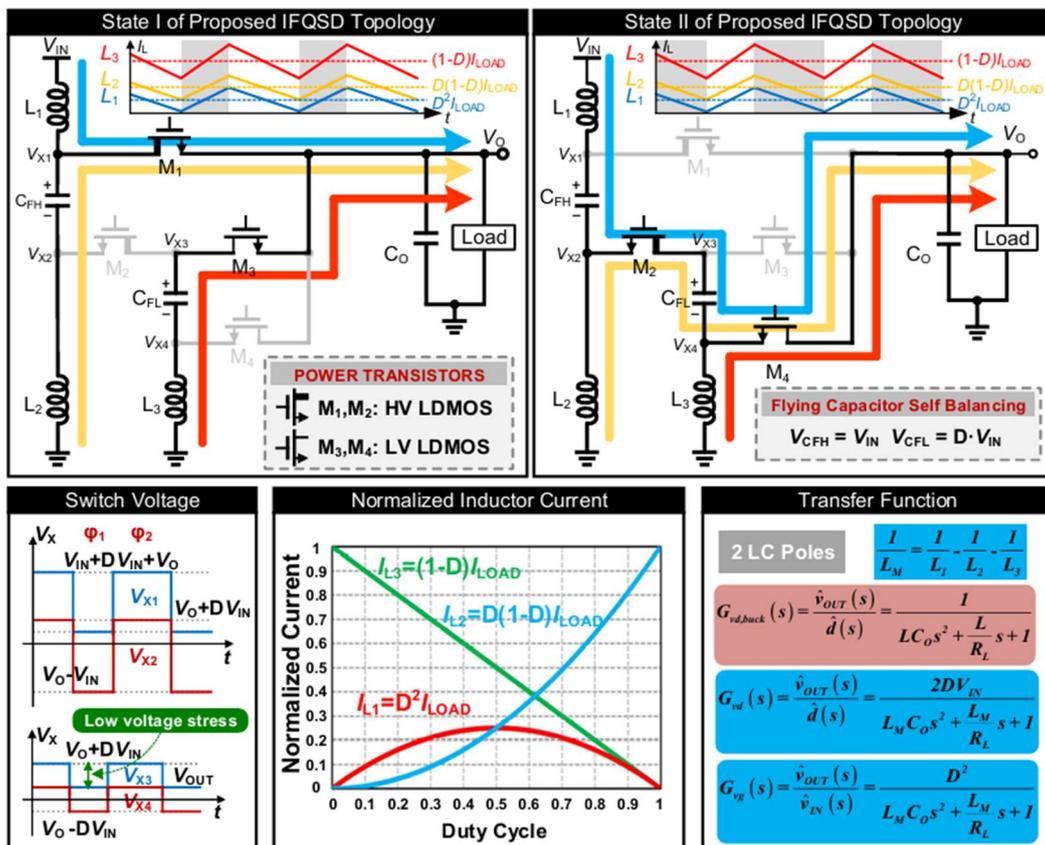
이번 ASSCC 2024의 Session 2는 hybrid converter를 주 내용으로 총 4편이 제출되었다. 이 중 2편의 논문 (2-3, 2-4)에서 유망한 산업 분야인 배터리 충전과 데이터센터용 전력 공급 IC를 다루어 이를 살펴보고자 한다.

#2-3 논문은 경북대학교에서 발표한 논문으로, 종래의 V_{BAT} , V_{SYS} 용 primary-secondary charger를 one-stage로 regulation하는 IC를 제안한다. 제안한 IC는 one-stage regulation으로 V_{SYS} regulation 효율이 증가하며, V_{BAT} CC mode charger 용 2:1 SC charger와 inductor를 결합한 하이브리드 토폴로지에 의해 면적, 즉 IC 제작 비용이 감소하는 장점이 있다. V_{SYS} 는 PWM으로 제어되고, V_{IN} 이 unplug된 상황에서는 V_{BAT} 로부터 전력을 공급받는 시나리오를 구현하였다. 또한, Charger의 I_{IN} limit 기능은 컨버터의 duty를 감소시킴으로써 2:1 SC의 R_{out} 을 증가하는 방식으로 지원하는 방법을 제안하였다. 그 결과, 제안한 Charger용 IC는 I_{IN} limit 기능과 함께 $0.77A/mm^2$ 의 on-die current density와 CaS(Charge and Supply) 모드, peak P_{OUT} point에서 92.5%의 높은 효율을 달성하였다.



[그림 1] 제안한 one-stage V_{BAT} , V_{SYS} regulation operation phase

#2-4 논문은 Northwestern Polytech 대학의 논문으로, 데이터센터용 Quadratic-VCR High-stepdown 컨버터를 제안한다. 제안한 컨버터는 Inductor-First 구조를 가져 EMI가 작으며, Triple-path로 부하를 공급하여 인덕터 DCR과 스위치의 온저항에서 발생하는 conduction loss가 감소하는 장점이 있다. 또한, conventional buck과 같이 RHP zero가 없는 장점이 있다. 출력 전압 제어 방법으로서 C_{OUT} 의 ESR을 이용한 ripple-based control의 단점인 큰 ESR의 사용은 컨버터의 과도응답특성과 효율을 감소시키기 때문에, 작은 ESR로 ripple-based control이 가능한 In-chip Ripple Compensation을 제안하였다. 그 결과, 제안한 Ripple Compensation을 사용한 COT(Constant On-Time) 방식으로 출력 전압을 제어하며, 12V-to-1V에서 90.4%의 효율을 달성하였다. 하지만, 본 구조는 3개의 인덕터를 사용하여 power-density가 감소하는 구조적 단점을 가지며, 이 부분은 데이터센터용 IC로서 다소 아쉽다.



[그림 2] 제안한 Quadratic-VCR High-stepdown 컨버터의 동작 원리

저자정보



명예기자 박수연

- 소속 : KAIST 전기 및 전자공학부 박사과정
- 연구분야 : Power Management IC 설계
- 이메일 : tndjs12221@kaist.ac.kr
- 홈페이지 : <https://idec.or.kr>

A-SSCC 2024 Review

KAIST 전기및전자공학부 박사과정 박수연

Session 18 Temperature Resilient Analog Circuits

이번 ASSCC 2024의 Session 18은 온도 변화에 Immune한 회로 설계 기법을 주 내용으로 총 4편의 논문이 제출되었다. 이 중 MOS-based Energy-efficient Temperature sensor와 Polynomial Temperature Compensated TCXO에 대한 2편의 논문을 살펴보고자 한다.

#18-2 논문은 KAIST에서 발표한 논문으로, MOS-based temperature sensor(TS)의 temperature conversion을 에너지 소모 관점에서 최적화한 TS를 제안한다. 제안한 TS는 시간에 대해 변화가 작은 온도의 본질적인 특성에 기인하여, LSB부터 MSB로 최종 코드를 탐색하는 LSB-First SAR Logic을 적용한 CDAC을 사용, 탐색 과정에서의 energy 효율을 높인 장점이 있다. 또한, Temperature-sensitivity를 높인 Asymmetric Floating Inverter Amplifier(FIA) Based의 preamp와 strong-arm comparator를 결합한 comparator는 에너지 효율을 2차적으로 증가시키며, Asynchronous CLK의 사용은 conversion에 필요한 energy를 크게 감소시켰다. 위 기법들에 의해 제안한 TS는 2 point calibration 이후 3-sigma 기준 $-1.93/+1.44$ °C의 낮은 inaccuracy를 가지며 1.2V supply에서 conversion 당 41.9pJ의 에너지 소모, 71.8mK의 우수한 온도 resolution을 갖는다.

Presented Energy-efficient MOS-based Temperature Sensor

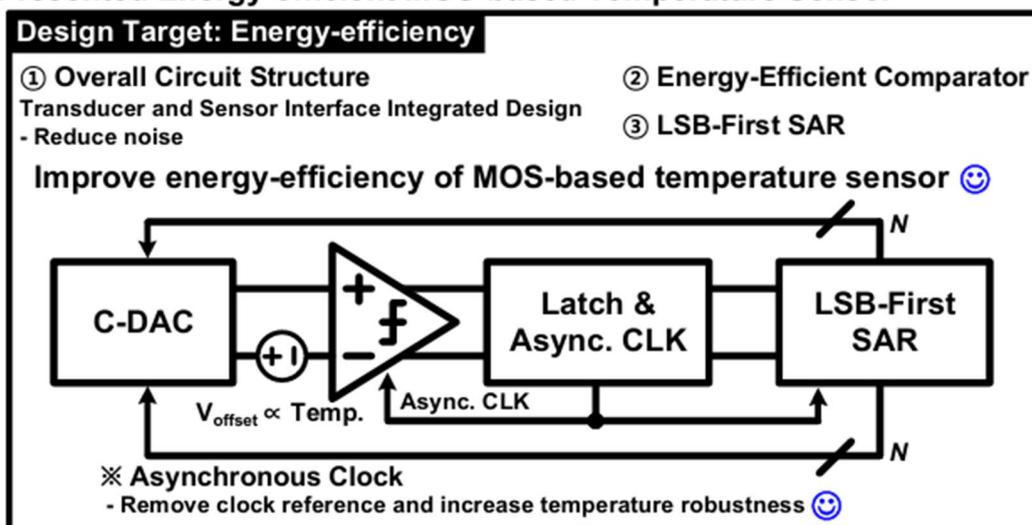
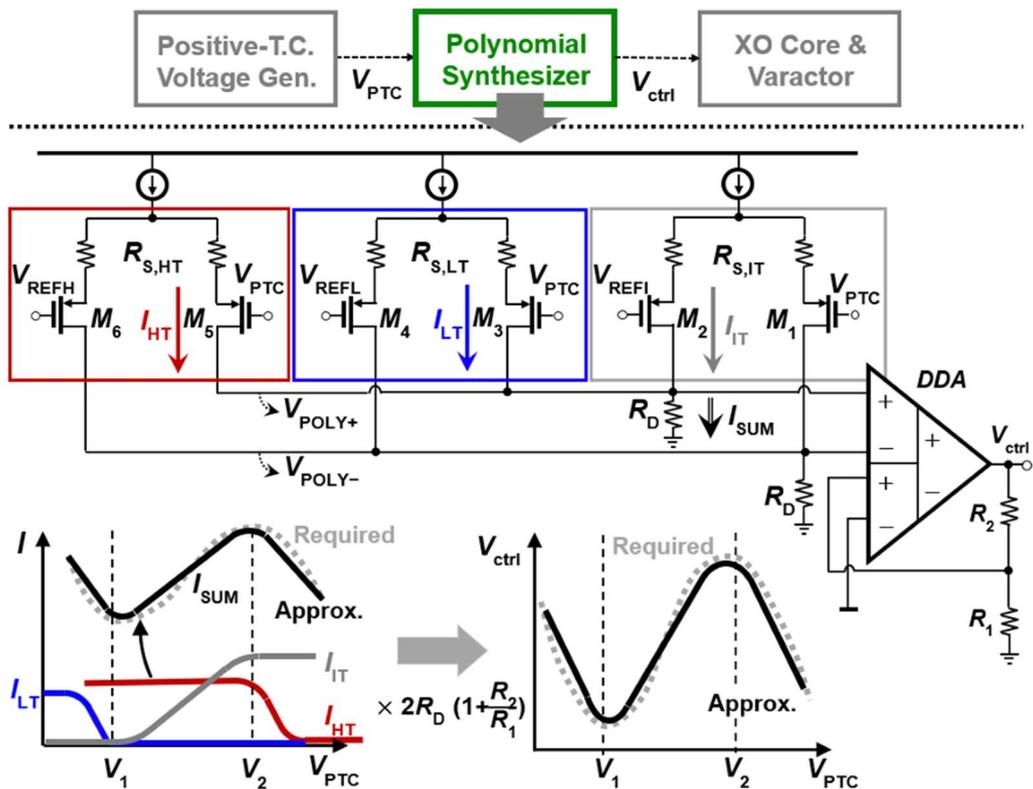


그림 3 제안한 Energy-efficient MOS-based 온도 센서의 디자인 기법

#18-3 논문은 Taiwan University에서 발표한 논문으로, Pierce oscillator 기반의 Crystal oscillator(XO)의 Polynomial한 온도에 대한 주파수 변화 특성을 보상하는 기법을 제안한다. 제안한 보상 방법은 XO의 cubic한 온도에 따른 주파수 변화 특성을 differential pair의 large signal 특성을 활용해 인풋 TR에 흐르는 전류의 off point를 설정하여 XO의 polynomial을 inversion한 근사 파형을 만들었다. 또한, startup 속도를 개선시키기 위해 Gm-boosting technique을 추가하였다. 그 결과 테스트한 5개의 샘플에서 -40~80°C의 온도 range에서 $\pm 2.5\text{ppm}$ 의 주파수 variation과 1kHz에서 -98.4dBc/Hz의 Phase noise를 달성하였다.



[그림 4] 차동증폭기의 대신호 특성을 활용한 XO의 Polynomial한 온도에 따른 주파수 특성 모사

저자정보



명예기자 박수연

- 소속 : KAIST 전기 및 전자공학부 박사과정
- 연구분야 : Power Management IC 설계
- 이메일 : tndjs12221@kaist.ac.kr
- 홈페이지 : <https://idec.or.kr>

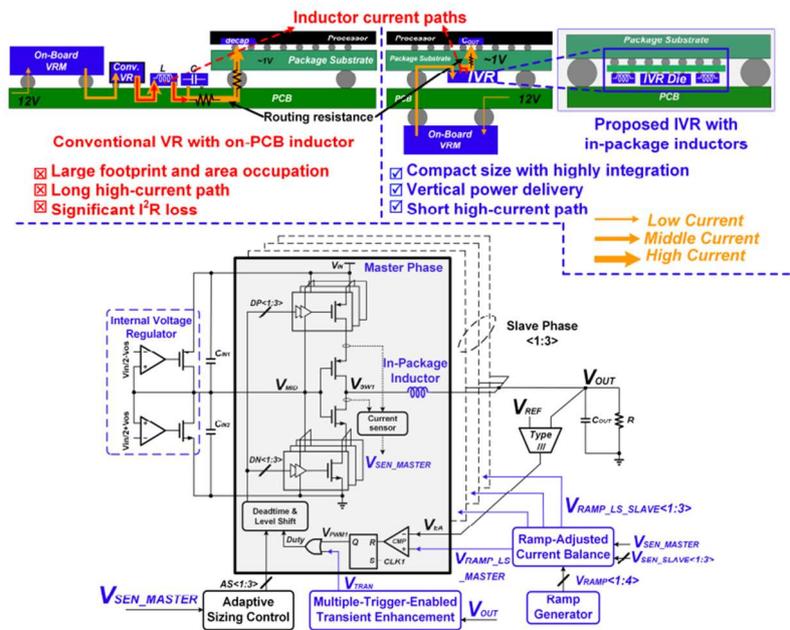
A-SSCC 2024 Review

고려대학교 전기전자공학과 박사과정 이윤호

Session 5 DC-DC Converter

이번 A-SSCC 2024의 Session 5는 DC-DC Converter와 관련된 총 4편의 논문이 발표되었으며, 이 들 논문에서는 LC oscillator 기반과 switched capacitor 기반의 converter 등 다양한 topology의 converter 기술이 소개되었다. 그 중에서도 고구동 application을 위한 4-phase integrated voltage regulator와 portable device를 위한 buck-boost battery charger 기술에 관한 두 가지 논문에 대해 알아보고자 한다.

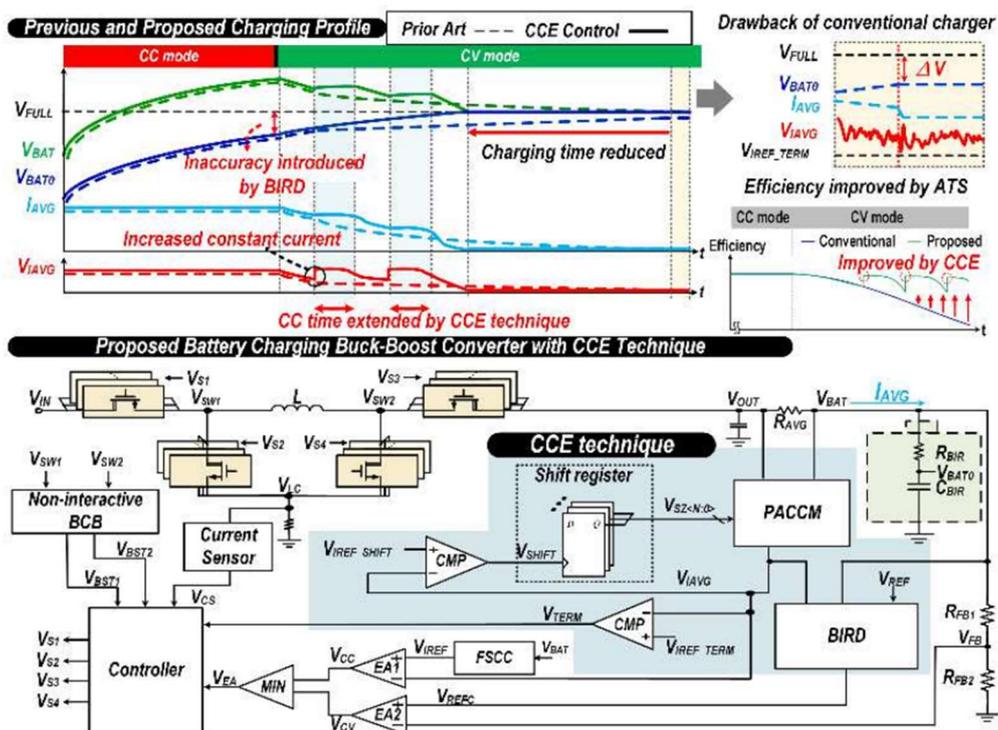
#5-3 본 논문은 AI와 고성능 GPU의 발전으로 인해 프로세서의 전력 소모가 급격히 증가함에 따라 발생하는 전력 손실과 발열 이슈를 해결하고자 하였다. 이 문제점을 해결하기 위해서는 voltage regulator(VR)가 processor와 최대한 가까이 배치되면서 높은 current density와 고효율을 제공해야 한다. VR 설계에서 가장 큰 병목 현상은 인덕터의 크기로, 이를 극복하기 위해 본 논문에서는 그림 1과 같이 in-package inductors를 사용하여 효율적이고 집적도가 높은 솔루션을 제안하였다.



[그림 1] Vertical power delivery utilizing the proposed IVR

작은 크기의 SMD 인덕터(In-package inductor)를 활용한 high-frequency, 4-phase integrated voltage regulator (그림1)를 설계하여 비용 효율적이면서도 고효율을 구현하였으며, 다중 트리거 기반 과도 응답 기술을 도입해 fast load transient 상황에서도 낮은 undershoot를 유지하였다. 또한, ramp-adjusted current balance technique을 통해 multiphase current를 조정함으로써 안정성과 신뢰성을 개선하였고, four 7.2nH 0402 inductors integrated in the flip-chip chip-scale package를 통해 전압 조정기를 프로세서 근처에 배치함으로써 전력 손실과 발열을 최소화하였다. 그 결과, 본 설계는 최대 7A의 출력 전류와 7A/mm²의 전류 밀도를 달성하였으며, 전압 강하를 254mV(PWM alone)에서 88mV로 65% 개선하였다. 또한, 89.0%의 최대 효율을 보이고 있다.

#5-4 본 논문은 portable devices에서 전력 수요와 배터리 용량 증가에 대응하여 더 빠르고 효율적인 충전 솔루션을 제안한다. 기존 charging profile에서 built-in resistance detection(BIRD) 기술은 온도 및 상태 변화로 인해 부정확한 결과가 발생하여 충전 시간이 길어지는 문제가 있어, 이를 해결하기 위해 그림 2와 같이 constant current extension 기술을 도입하여 충전 효율성을 높이고 종료 시점을 정확히 판단하는 방식을 제안하였다.



[그림 2] 기존 충전 방식과 제안하는 충전 방식 비교 (위)와 CCE technique를 포함한 제안하는 buck-boost battery charger (아래)

이에 더해서, precision adjustable charging current monitor를 통해 충전 전류를 모니터링하여 노이즈 영향을 최소화하고 정확도를 향상시켰으며, fast start constant current 기술을 적용해 constant current mode 동작을 앞당겨 충전 시간을 단축하였다. 또한, non-Interactive BCB을 도입하여 충전 회로의 안정성을 강화하고 작은 충전 전류 센싱 정확도를 개선하였다. 그 결과, 충전 시간이 기존 대비 50.5% 단축되어 2배 빠른 충전 속도를 달성하였고, 출력 전류 및 전압 리플이 84% 감소했으며, 최고 97.1%의 효율을 달성하였다. 칩 면적은 3.1mm²이다.

저자정보



이윤호 박사과정 대학원생

- 소속 : 고려대학교
- 연구분야 : Power management ICs
- 이메일 : uknow@korea.ac.kr
- 홈페이지 : <https://sites.google.com/site/kubasiclab/home>

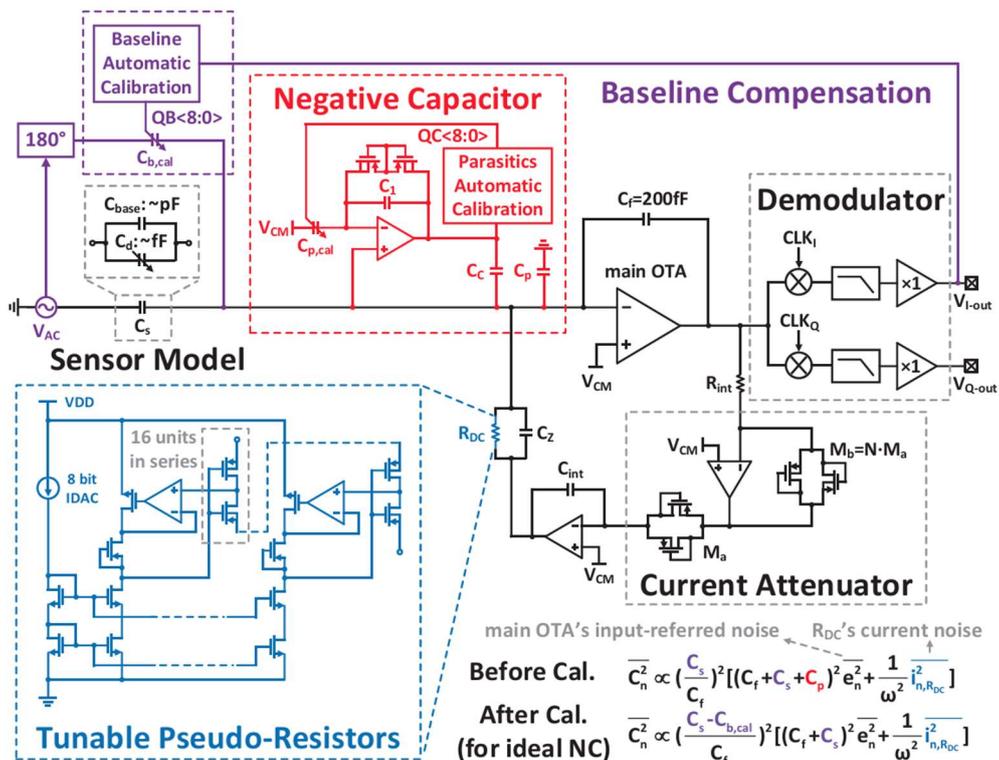
A-SSCC 2024 Review

고려대학교 전기및전자공학부 박사과정 안재웅

Session 14 Amplifiers and Power Management

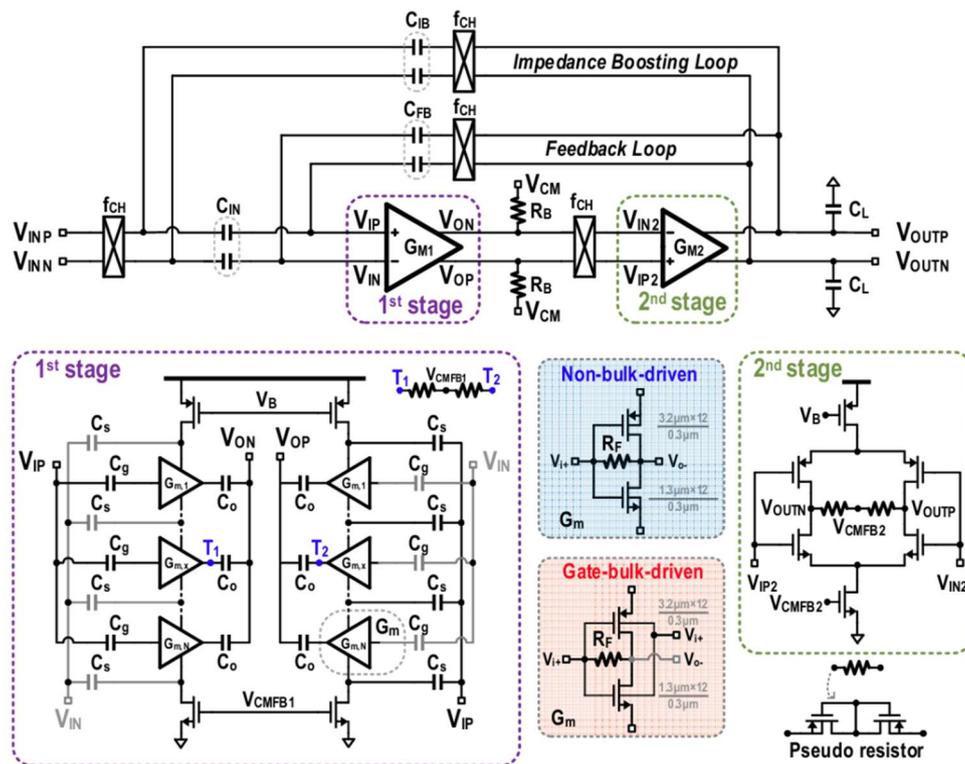
이번 2024 IEEE A-SSCC의 Session 14에서는 Amplifiers and Power Management라는 주제로 총 4편의 논문이 발표되었다. 이 중 #14-1은 증폭기 설계의 정밀도를 높이기 위한 새로운 보정 기술을, #14-2는 에너지 효율을 극대화하는 저전력 설계를 다루었다.

#14-1 논문에서는 capacitive sensing을 위한 precision lock-in amplifier를 제안하며, auto-calibrated negative capacitor를 통해 기생 커패시턴스를 제거하여 bandwidth과 resolution을 개선하였다. 기생 커패시턴스는 해상도를 저하의 주요 요인이므로, 이를 제거하는 기술이 필수적이다. 또한, automatic baseline capacitance calibration을 도입하여 SNR을 보장하고, tunable pseudo-resistor network를 통해 122nA까지의 DC 전류를 허용하였다. 이를 통해 2.06zFrms의 용량 해상도를 구현하였으며, 62MHz의 대역폭과 5.3mW의 낮은 전력 소모를 달성하였다.



[그림 1] #14-1 논문에서 제안하는 lock-in amplifier의 구조

#14-2 논문에서는 gate-and-bulk-driven stacking amplifier를 사용하여 0.59의 소음 효율 계수(NEF)와 0.42의 전력 효율 계수(PEF)를 구현하였다. 초저전력 환경에서 신호 품질을 유지하려면 NEF와 PEF를 동시에 극대화하는 설계가 요구된다. 이 논문에서는 3-stacking topology를 통해 6배의 current reuse를 달성하고, capacitive negative feedback network를 통해 high gain을 유지하고 offset과 noise를 억제하였다. 또한, temperature 및 supply variation에 견고한 설계를 통해 신뢰성을 높였으며, 33.6nW의 전력 소모로 2.16 μ Vrms의 입력 잡음 성능(IRN)을 유지하였다.



[그림 2] #14-2 논문에서 제안하는 stacking amplifier의 구조

저자정보



안재웅 박사과정 대학원생

- 소속 : 고려대학교
- 연구분야 : 디스플레이 드라이버 / 픽셀 보상 / 터치 센서
- 이메일 : ajw1104@korea.ac.kr
- 홈페이지 : <https://sites.google.com/site/kubasiclab/home>